

Plan de Trabajo Final

Carrera: Ingeniería en Sistemas

Facultad de Ciencias Exactas – UNICEN

Tema: Monitoreo y Depuración de Sistemas ARM
mediante Redes de Interconexión Modernas

Alumno: Matías Leonetti

Director: Dr. Elías Todorovich

1. Introducción

En la actualidad, los diseños digitales cuentan con varios *IP* (*Intellectual Property*) *cores* (CPU, DSPs, memorias, periféricos) que comparten la carga de procesamiento. Típicamente intercambian datos empleando buses, donde los cables van hacia cada uno de los maestros (*masters*) y esclavos (*slaves*) del sistema, la comunicación es transmitida hacia todos los *cores*, y la respuesta correspondiente es devuelta. La comunicación se vuelve inevitablemente un cuello de botella y las configuraciones del bus *on-chip* afectan significativamente el rendimiento general del sistema [1]. La clave para solucionar este inconveniente es emplear una arquitectura de red de comunicación, *Network on a Chip* (NoC), donde se comparte un enlace de varias señales en lugar de tener cables dedicados a cada subsistema. Las arquitecturas empleadas en la actualidad, (ej. OCP, AMBA, CoreConnect) pueden ser configuradas de diferentes formas, para comunicar la cantidad necesaria de dispositivos, con distintos dominios de reloj,

ancho de datos o direcciones, velocidades y tiempo de respuesta variables, añadir seguridad, y más funciones [2].

El protocolo AXI, definido en la arquitectura AMBA y diseñado originalmente para conectar procesadores ARM, está orientado a sistemas de alto rendimiento y frecuencia, e incluye un conjunto de características que lo hacen adecuado en el contexto de la microelectrónica de alta velocidad. El protocolo AXI se basa en ráfagas (*bursts*). Cada transacción tiene información de direccionamiento y control en el canal de dirección que describe la naturaleza de los datos a transferir. Los datos son transferidos entre maestro y esclavo (*initiator and target*) utilizando un canal de escritura de datos hacia el esclavo o un canal de lectura de datos hacia el maestro. En transacciones de escritura, el protocolo AXI tiene un canal adicional de respuesta de escritura que permite al esclavo indicar al maestro la finalización de la transacción de escritura [3].

Los procesadores ARM se basan en la arquitectura *Reduced Instruction Set Computer* (RISC), y se encuentran en la mayoría de los dispositivos electrónicos actuales, tales como teléfonos inteligentes, computadoras portátiles, reproductores multimedia, entre otros. Su sistema de depuración (*debug*) incluye componentes ARM® CoreSight™, que brindan a los desarrolladores de software embebido y a los diseñadores de SoC la capacidad de realizar seguimiento de las instrucciones en tiempo real, permitiendo desarrollar sistemas de altas prestaciones disminuyendo el tiempo de desarrollo y posibles riesgos.

2. Motivación

El incremento en el interés de las *Networks on-Chip* (NoC) está sin duda directamente relacionado al incremento de la complejidad y rendimiento de los Sistemas *on-chip* (SoC) en los últimos años. Tanto es así, que algunos gerentes de diseño de SoC han llegado a decir que el éxito en el desarrollo de un sistema está directamente relacionado a su habilidad de implementar redes de comunicaciones *on-chip*. Subestimar la importancia de la red ha causado que muchos sistemas no cumplan sus objetivos de rendimiento, o la planificación, o han llegado incluso a ser cancelados por completo [4].

Sin una imagen fiable y consistente del estado actual del sistema, los defectos o errores pueden ser difíciles o incluso imposibles de encontrar. La depuración de transacciones entre distintos subsistemas, requiere datos y monitoreo de señales que no son visibles. La solución primaria es hacer que los nodos internos sean observables desde fuera del sistema en desarrollo [5]. Por lo tanto se debe considerar la inclusión de hardware a las redes *on-chip* y a los sistemas de memoria para proveer visibilidad dentro de las comunicaciones.

Un monitor debe proveer visibilidad y seguimiento de transacciones dentro de las redes de interconexión en tiempo real, medición de rendimiento y latencia, habilidad para definir disparadores (*triggers*) de depuración, y fácil integración para sistemas basados en depuración con ARM CoreSight.

3. Objetivos

- **Incorporar el servicio de monitoreo y depuración a las redes de interconexión on-chip:**

Para incorporar este servicio, habrá que desarrollar módulos de hardware para permitir la conexión al sistema de procesamiento ARM, puentes entre distintos protocolos, e interfaces de salida para datos. Una vez desarrollados los módulos requeridos, será posible añadir y conectar el monitor al diseño. Se verificarán y probarán las nuevas funcionalidades que el monitor proporciona, y se analizarán los costos de área y beneficios que este servicio implica.

- **Sustituir las redes de interconexión existentes por otras avanzadas y de altas prestaciones:**

Para lograr implementar un monitor de red, es necesario que las redes de interconexión que se utilicen en el diseño sean compatibles con la especificación AMBA y con el monitor. Como las conexiones estándar en los sistemas actuales son generalmente protocolo AXI, no compatibles con el monitor, será necesario realizar un reemplazo de las redes de interconexión. Este proceso debe ser lo más transparente posible, y el diseño debe funcionar de igual forma que con las interconexiones originales. Se realizarán comparaciones de rendimiento y área utilizada, analizando el costo de cada alternativa.

- **Desarrollar casos de prueba:**

Se plantearán casos de prueba aptos para incorporar un monitor de interconexiones y serán implementados en una FPGA. Deben utilizar interconexiones que puedan ser reemplazadas por otras que admitan módulos de monitoreo y *debug*, sin afectar al desempeño del sistema. Los diseños ideales a desarrollar deben utilizar los procesadores ARM, y realizar tareas de procesamiento (ej. señales analógicas, imagen, audio, video) con la lógica programable.

Este trabajo es viable ya que se cuenta con el kit de desarrollo "Xilinx Zynq-7000 SoC Video and Imaging Kit", que incluye la tarjeta "Zynq-7000 AP SoC ZC702 Evaluation Board" y el módulo "Video FMC Vita" con entrada y salida HDMI, donado por Sonics Inc., empresa dedicada al diseño de redes de interconexión, en el marco de un convenio con la Universidad Nacional del Centro (Ord. HCS UNICEN 358209). La tarjeta ZC702 contiene la FPGA Zynq-7000 XC7Z020-1CLG484C AP SoC, que posee el sistema de procesamiento integrado y la lógica programable en un mismo chip. El sistema de procesamiento posee dos procesadores ARM® Cortex™-A9 MPCore™, interconexiones AMBA®, memoria interna, interfaces a memoria externa, y periféricos incluyendo USB, Ethernet, SPI, SD/SDIO, I2C, CAN, UART, y GPIO [6].

4. Cronograma de actividades

En la tabla 1 se detallan las tareas involucradas en este trabajo y el calendario de ejecución:

	Mes 1	Mes 2	Mes 3	Mes 4	Mes 5	Mes 6
Estudio de material bibliográfico	X					
Estudio y práctica con las herramientas	X	X				
Desarrollo de diseños de prueba		X	X			
Reemplazo de redes de interconexión		X	X			
Implementación del monitor			X	X	X	
Obtención y análisis de resultados					X	
Elaboración del informe final			X	X	X	X

Tabla 1: Cronograma de trabajo

5. Bibliografía

[1] Extending the Transaction Level Modeling Approach for Fast Communication Architecture Exploration; S. Pasricha, N. Dutt, M. Ben Romdhane; 2004.

[2] A network on chip architecture and design methodology; S. Kumar, A. Jantsch, J.-P. zSoininen, M. Forsell, M. Millberg, J. Oberg, K. Tiensyrja, A. Hemani; 2002.

[3] AMBA® AXI Protocol v1.0 Specification; ARM; 2003, 2004.

[4] NoC Straight Talk, System-Level Design, Chip Design; F. Ferro; 2013.

[5] Debug support for complex systems on-chip: a review; A.B.T. Hopkins, K.D. McDonald-Maier; 2006.

[6] ZC702 Evaluation Board for the Zynq-7000 XC7Z020, All Programmable SoC User Guide; Xilinx; 2013.

.....

Firma del Alumno

Avalo la presente solicitud de evaluación,

.....

Firma del Director